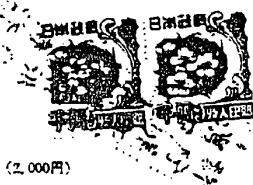


Concise Statements

Reference (Inventor)	Publication Date	Concise Statements
JP 48-022285 (Hatsukano)	03/20/1973	In a method of manufacturing a MOS semiconductor device, it is disclosed that an insulating film made of $\text{SiO}_2$ film 14 (approximately 1000 Å) is formed on a surface of Si wafer 11 by a thermal oxidation method, and an insulating film made of $\text{Si}_3\text{N}_4$ film 15 (300 ~ 400 Å) is formed on the $\text{SiO}_2$ film 14 by decomposing a mixture gas of $\text{SiH}_4$ and $\text{NH}_3$ . And polycrystalline Si film 16 is formed on the $\text{Si}_3\text{N}_4$ film 15 by decomposing $\text{SiH}_4$ gas.
JP 47-018278 (Mishimagi)	09/13/1972	In a method of manufacturing a semiconductor device, it is disclosed that an insulating film made of $\text{SiO}_2$ film 4 is formed on a Si substrate by a thermal oxidation method. And $\text{Si}_3\text{N}_4$ film 5 is formed on the $\text{SiO}_2$ film 4 by a vapor phase reaction of $\text{SiH}_4$ and $\text{NH}_3$ for example. It is preferable to set a thickness in each of the $\text{SiO}_2$ film 4 and the $\text{Si}_3\text{N}_4$ film 5 to 300 ~ 500 Å, respectively.
JP 02-148132 (Aoe)	12/17/1990	In thin film transistors of an active matrix type liquid crystal display device, a drain region 3", a channel region, and a source region 3' are made of a polycrystalline silicon film 3, wherein the silicon film in the channel region and the source region 3' are thinner than the silicon film in the drain region 3".
JP 49-078483 (Hirabayashi)	07/29/1974	In forming an oxide film containing halogen ions on a semiconductor substrate, the halogen ions are introduced by an ion implantation method. Thereby, pinholes in the oxide film can be reduced and quality of the oxide film can be enhanced.



(2,000円)

特許願

昭和46年7月28日

特許庁長官 殿

発明の名称 MOS半導体装置の製造法
発明者 コムデンショウスイホテツウ
東京都小平市上水本町1450番地
株式会社日立製作所武蔵工場内
代表者 初鹿野 凱

特許出願人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所
代表者 駒井 健一郎

代理人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話東京 270-2111(大代表)
〒6850 丹波士 小川 勝



明細書

発明の名称 MOS半導体装置の製造法

特許請求の範囲

シリコンゲートMOS半導体装置の製造にあつて、半導体基板11のゲートを形成すべき部分と一部でオーバーラップするように基板導電型と反対導電型の拡散領域13を形成し、該基板上に絶縁膜14,15を介してシリコンゲート16を形成した後、上記拡散領域13の一部にソースが含まれるようにソースおよびドレイン領域17,18を形成することを特徴とするMOS半導体装置の製造法。

発明の詳細な説明

本発明はMOS半導体装置、特にシリコンゲートMOS半導体装置の製造法に関する。

シリコンゲートMOS半導体装置は通常のMOS半導体装置におけるゲート電極に多結晶Si(シリコン)を採用したものであり、これにより、しきい電圧を低減させることを意図したものである。

SiゲートMOS半導体装置を製造する場合の

(1)

②特願昭46-55940 ①特開昭48-22285

④3 公開昭48.(1973) 3.20 (全7頁)
審査請求 無

⑬ 日本国特許庁

公開特許公報

庁内整理番号

6426 57

⑤2 日本分類

990E3

従来の主要製造工程としては、第1図に示すように、(a)P型のSiウェハ上に第1次熱酸化による0.5~1μmのSiO2膜2を部分的に形成し、(b)第2次熱酸化による600~1000ÅのSiO2膜3をウェハ露出部分に形成し、(c)この上に300~400ÅのSi3N4膜4を形成し、さらにシランの熱分解等により8000Å程度の多結晶Si層5を成長させ、(d)フォトリソ処理によつてソース・ドレイン部分のSi層を露出させ、(e)P型拡散によるソース領域6およびドレイン領域7を形成する方法が採用されている。

上記方法により製造されたSiゲートMOS素子においては、特にゲート電極とP+型拡散層6,7のオーバーラップは横方向拡散距離だけであるので、電極間容量は大幅に減少する。

このSiゲートMOS素子は前述した如く低いしきい電圧を有しているため、これを集積回路装置に適用すればかかる回路装置は低い電源電圧及び信号電圧で駆動され得、これにより高速かつ低い消費電力で動作する回路装置を得ることができ

(2)



純物イオン打込法によるp型層(ソース、ドレイン)を形成してもよい。

第3図は他の実施例を示すものであり、第2図と同符号は第2図を準用する。このトランジスタはソース17側のp型拡散層13の形成と同時にドレイン18側にも拡散層30が形成されている点が前記実施例と異なる。

この実施例ではソース17及び18が拡散層13及び30よりも高比抵抗とされ、ドレインp-n接合における空乏層がドレイン18側にも充分に延びるようにしている。すなわちソース・ドレイン間電圧が変化しても該電圧の影響を受ける有効チャネル長の変化が少なくなるようにされている。ソース及びドレイン電極20, 21を接続する部分の81表面はp型拡散層13及び30内に不純物を導入してソース17及びドレイン領域18を形成するため充分低比抵抗とされ、よって良好な抵抗接触とされる。

この実施例はp型領域13及び30を形成するための酸化膜からなる拡散マスクとソース及びド

(7)

るのは好ましくないことが有る。このようなときは上記オーバーラップを所望しないMOS素子のゲートの延長する方向を予め他のMOS素子に対し回転(例えば直角に)させておく。すなわち例えば上記オーバーラップが不所望なMOS素子に対してはそのゲート延長方向を前記同一種の露光マスクの移動方向と同じにしておき、またオーバーラップ幅を一部のMOS素子についてのみ減少させたときはかかる素子のみ上記回転角を適当にする。

第4図は本発明の81ゲートMOS半導体装置の応用例を示すものである。同図の回路装置は81ゲートMOSトランジスタ $T_1$ 乃至 $T_n$ から構成されており、個々のトランジスタは例えば共通のM型31基板表面に前述の第2図の製法によりp型領域、ソース・ドレイン領域、ゲート及び電極配線が形成される。MOSトランジスタ $T_1$ はそのソース領域に拡散層13を有しており、ゲート・ソース電極間容量がゲート・ドレイン電極間容量よりも大とされている。MOSトランジスタ $T_2$ 乃至 $T_n$ 及び $T_1$ は拡散層13を有せず、

(9)

ドレイン領域17, 18を形成するための拡散マスクの開孔部はその相互に於て同一寸法配置とされる。従つて基板表面の酸化膜をホトエッチして拡散マスクとするときのホトマスクを形成するための露光マスクは一種のみでよく、拡散層13及び30を形成した後でソース及びドレイン領域17, 18を形成するときは上記露光マスクを所定長だけ平行移動するだけで良い。

通常、半導体装置の製造は、同一半導体ウェーハ上に単体素子もしくは半導体装置の複数個が同時に形成され、後にクラッキング等の技術により個々のものに分離されるのであり、上記の如く二種類の拡散に於て一種類の露光マスクを適用し得ることは露光マスク自体のゆがみに起因する誤差の減少を計る上で、またはマスク合せ精度を向上する上で有用である。なおMOS集積回路装置に於ては同一半導体基板上に複数個のMOS素子が形成されるのであり、この場合後述する回路装置の如く全てのMOS素子に第3図の如くゲート16と拡散領域13を大きくオーバーラップさせ

(8)

上記電極間容量の大小関係を生ずるにはしては、いずれの電極間でもその静電容量が最小となるようにされている。上記MOSトランジスタ $T_1$ 乃至 $T_n$ の相互間の接続は拡散層もしくは81基板表面に絶縁(810<sub>1</sub>)膜を介して形成された $M_1$ 等の導電層により行なわれる。MOSトランジスタ $T_1$ 乃至 $T_n$ はpチャネル型であり、しかもノーマルオフ型すなわちエンハンスメント型である。

$T_1$ 及び $T_2$ はブツンブル回路を構成しており、 $T_1$ のドレインは電源ライン-V<sub>DD</sub>に電気的に接続され、 $T_2$ のソースはアースラインに電気的に接続されている。 $T_1$ のソースと $T_2$ のドレインとは短絡されそこから出力端子100が導出される。 $T_2$ 及び $T_1$ のゲートにはそれぞれ互いに反転された電気信号が印加されるようにされる。 $T_2$ のゲートには入力端子101が直接接続され、 $T_1$ のゲートには $T_2$ のドレインが電気的に接続されている。 $T_1$ はインバータ用のMOSトランジスタでありそのソースはアースラインに接続さ

(10)

れ、そのゲートは入力端子101に接続されている。T<sub>1</sub>のドレインには負荷MOSトランジスタ回路を構成するT<sub>2</sub>乃至T<sub>3</sub>及び容量C<sub>1</sub>が接続されている。従つてT<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>及びC<sub>1</sub>の相互接続回路はインバータ回路を構成する。負荷MOSトランジスタT<sub>2</sub>はそのドレイン及びゲートが電源ラインV<sub>DD</sub>に接続され、そのソースがT<sub>1</sub>のドレインに接続されている。破線103内のT<sub>2</sub>、T<sub>3</sub>及びC<sub>1</sub>の相互接続はブートストラップ回路を構成している。T<sub>2</sub>はT<sub>1</sub>のゲートにバイアス電圧を与えるための負荷MOSトランジスタでありそのゲートとドレインは電源ラインV<sub>DD</sub>に接続され、ソースはT<sub>1</sub>のゲートに接続されている。C<sub>1</sub>はT<sub>1</sub>のS1ゲート・ソース間に印加されるバイアス電圧を保持するためのものである。このC<sub>1</sub>はT<sub>1</sub>と別個に設けられるのではなく前述した如くT<sub>1</sub>のソースに拡散層13を適応することによりT<sub>1</sub>のゲート・ソース間に形成されるものを以下の説明に便利ならしめるため図示したものである。かかるブートストラップ回路

03

遅延は小さい方が望ましい。

ここで本応用例では、T<sub>2</sub>とT<sub>3</sub>の構成するブッシュアップ回路が低い出力インピーダンスを有するのでC<sub>1</sub>による悪影響は著しく低減される。

そしてC<sub>1</sub>による悪影響は以下説明するようにブートストラップ回路を適用したことにより除去される。説明を簡単にするためT<sub>1</sub>にステップ状に変化する信号を与えてスイッチング動作させるものとする。

先ずT<sub>1</sub>のS1ゲートにしきい電圧を超える負電圧が与えられてから従つてT<sub>1</sub>はオン状態にあるものとする。このときT<sub>1</sub>のドレイン電位はかかるT<sub>1</sub>のソース・ドレイン間のインピーダンスとT<sub>2</sub>乃至T<sub>3</sub>が構成する回路のインピーダンスによつて決まり、アース電位とほぼ等しい。C<sub>1</sub>の両端の電位差は電源電圧-V<sub>DD</sub>からT<sub>1</sub>のしきい電圧及びT<sub>1</sub>のドレイン電圧を差引いた値に等しい。この状態からT<sub>1</sub>をオフさせるようにT<sub>1</sub>の入力信号電圧を変化させる。このとき浮遊容量C<sub>1</sub>にはT<sub>2</sub>、T<sub>3</sub>を介して電源-V<sub>DD</sub>から

03

に於てT<sub>1</sub>のソース電位が変化するときのC<sub>1</sub>の印加電圧はほとんど変化しないようにされ、従つてT<sub>1</sub>のゲートの電位はそのソースにおける電位変化が有るときかかるソース電位の変化と同方向でしかもほぼ同じ値の変化をする。かかるブートストラップ回路に於てT<sub>1</sub>のソースからみる過渡的なインピーダンスはC<sub>1</sub>を用いてソース電位をゲートに帰還することにより著しい変化をする。回路装置、特にMOS集積回路装置に於ける浮遊容量は周知の通り配線と半導体基板間及びpn接合に於て形成される。図示する回路装置に於てはかかる浮遊容量の内代表的なものをC<sub>2</sub>、C<sub>3</sub>で示す。

上記C<sub>2</sub>、C<sub>3</sub>は一種の積分回路の容量を構成し、よつて図示する回路の動作速度を低下せしめ、かかる回路にスイッチング動作を行なわせるときにはC<sub>2</sub>によりブッシュアップ回路のT<sub>1</sub>の動作がT<sub>1</sub>よりも遅延される。この遅延によりT<sub>2</sub>とT<sub>3</sub>の動作時間に差異が生ずるとこれはまた転送信号波形の劣化を生じさせるようになる。かかる

03

電流が供給され、C<sub>2</sub>の電位が上昇する。このとき破線で示すブートストラップ回路は前記したより本理由により急激にその内部インピーダンスを低下する。従つてC<sub>2</sub>に対する充電は加速度的に行なわれ、T<sub>1</sub>の入力信号に対する出力信号すなわちT<sub>1</sub>のドレイン側信号の遅れは著しく低減される。逆にT<sub>1</sub>がオフ状態からオン状態に変えられるときはC<sub>3</sub>の電荷はT<sub>1</sub>を介して放電される。

本応用例ではMOSトランジスタT<sub>2</sub>として第2図(1)に示した如きトランジスタを使用したことによりC<sub>2</sub>を等別に必要としない。

S1ゲートMOSトランジスタの第2図(a)乃至(1)に示した製法によればT<sub>1</sub>のゲート・ソース電極間容量を充分に大ならしめることができることも該トランジスタのゲート・ドレインの不所望な電極間容量を充分に低減せしめることができる。

第4図に於て負荷MOSトランジスタT<sub>2</sub>は必ずしも必要としないが、下記の理由により特に低い電源電圧でかかる回路装置を動作させるときに

04



め、ソース側に $p^+$ 拡散層をゲートとオーバーラップするように形成しておくことで、特定の電極間のゲート容量を十分に大きくとることができるようになった。

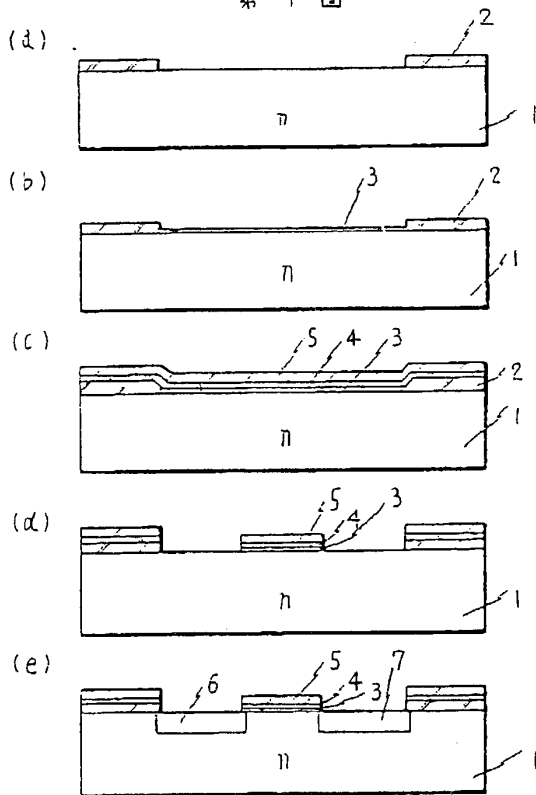
このように本発明によれば、 $B1$ ゲート $MOS$ 半導体装置の製造プロセスにおいて、ゲート電極とソース領域とをオーバーラップさせ、ゲート容量を所望の値に付加させ得るもので、これにより、特性の良好な回路を組込むことが可能となつた。

さらに本発明によれば、高濃度拡散層を別個に形成することで、電極取出し部の抵抗を下げることで、また、 $MOSIC$ の場合、上記高濃度拡散層を埋込抵抗、または埋込配線の一部として利用すれば、特に多層配線構造や交差配線を形成する場合においてきわめて有利である。

実施例において $n$ 型 $B1$ 基板に $p$ 型チャンネルの $MOS$ を形成した場合を述べたが、本発明の構成は $p$ 型 $B1$ 基板に $n$ 型チャンネルの $MOS$ を形成する場合にも適用できることはもちろんである。

図面の簡単な説明

第1図



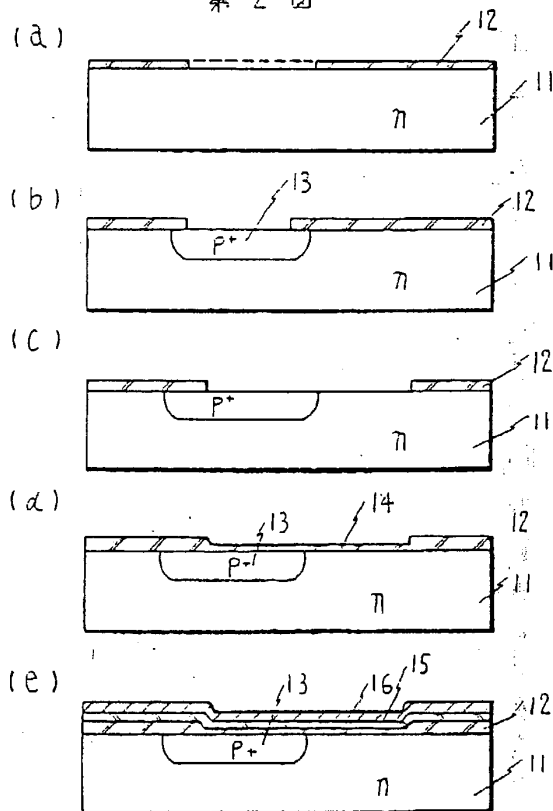
第1図は従来の $B1$ ゲート $MOS$ 半導体装置の製造工程を示す工程図、第2図は本発明による $B1$ ゲート $MOS$ 半導体装置の製造工程を示す工程図、第3図は他の実施例により得られた $B1$ ゲート $MOS$ 半導体装置の断面図、第4図及び第5図は $B1$ ゲート $MOS$ 半導体装置の応用例を示す回路、第6図は第5図の回路の信号波形を示す線図である。

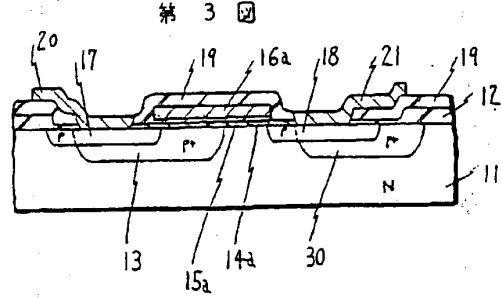
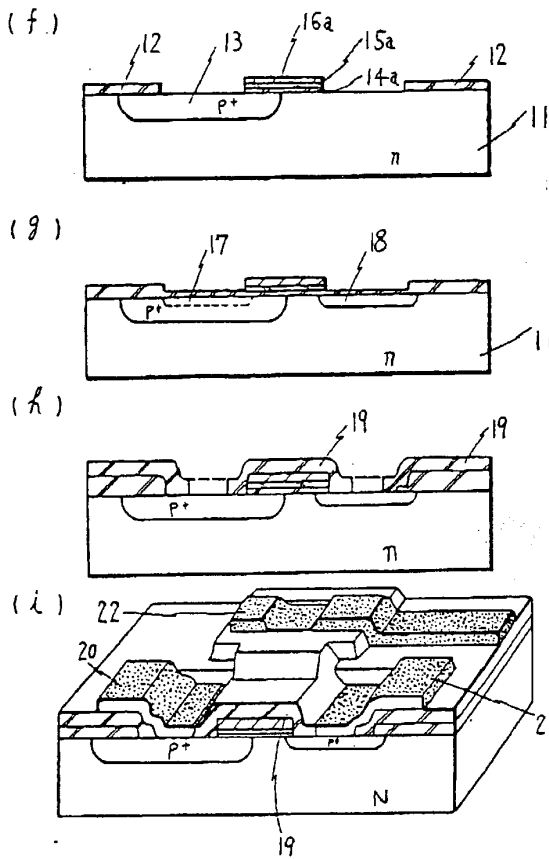
11... $n$ 型 $B1$ ウェハ、12... $SiO_2$ 膜、13... $p$ 型拡散領域、14... $SiO_2$ 膜、15... $B1$ 膜、16...多結晶 $B1$ 層(ゲート)、17...ソース、18...ドレイン、19... $SiO_2$ 膜、20...ソース電極、21...ドレイン電極、22...ゲート電極

代理人 弁理士 小川

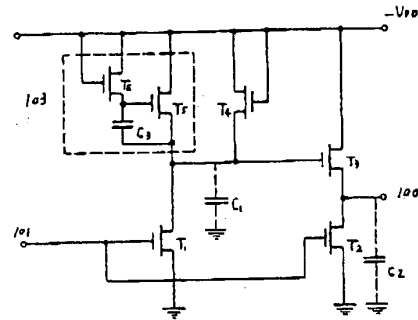


第2図

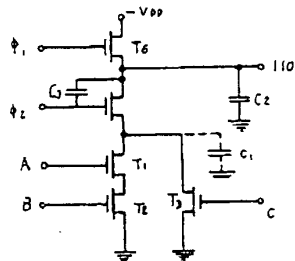




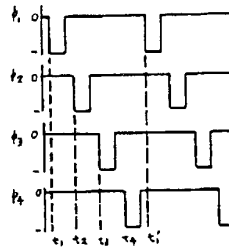
第 4 図



第 5 図



第 6 図



# 添附書類の目録

- (1) 特 許 書 1 通
- (2) 図 面 1 通
- (3) 発 証 状 1 通
- (4) 特 許 願 明 本 1 通

前記以外の発明者、特許出願人または代理人

発 明 者

氏 名

氏 名



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**